

⑫ 公開特許公報 (A)

平1-292979

⑬ Int. Cl. 4

H 04 N 5/66
G 02 F 1/133
G 09 G 3/36

識別記号

102
327
332

庁内整理番号

B-7605-5C
7370-2H
8708-2H

⑭ 公開 平成1年(1989)11月27日

8621-5C審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 液晶表示装置

⑯ 特願 昭63-122883

⑰ 出願 昭63(1988)5月19日

⑱ 発明者 前川 敏一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代理人 弁理士 松隈 秀盛

明細書

発明の名称 液晶表示装置

特許請求の範囲

水平及び垂直方向にマトリクス状に配された液晶素子に映像信号を順次選択的に供給し表示するようにした液晶表示装置において、

任意の水平走査線選択制御ラインの制御信号によって制御されるスイッチング素子がNチャンネルMOSトランジスタで構成され、

該NチャンネルMOSトランジスタの出力信号をPチャンネルMOSトランジスタのソースフォロワ回路を介して液晶素子に供給するようになし、

該ソースフォロワ回路を対応する水平走査線選択制御ライン及び隣接する水平走査線選択制御ライン間に接続し、

後続の水平走査選択制御ラインの制御信号によって制御されるスイッチング素子がPチャンネルMOSトランジスタで構成され、

該PチャンネルMOSトランジスタの出力信号をNチャンネルMOSトランジスタのソースフォロワ

回路を介して液晶素子に供給するようになし、該ソースフォロワ回路を対応する水平走査線選択制御ライン及び隣接する水平走査線選択制御ライン間に接続してなる液晶表示装置。

発明の詳細な説明

(産業上の利用分野)

この発明は、例えば映像信号を表示する場合に用いて好適な液晶表示装置に関する。

(発明の概要)

この発明は、水平及び垂直方向にマトリクス状に配された液晶素子に映像信号を順次選択的に供給し表示するようにした液晶表示装置において、液晶素子にソースフォロワ回路を接続し、このソースフォロワ回路の電源ライン、接地ラインを1ライン前の水平走査線選択制御ラインが使えるよう隣接する水平走査選択制御ライン間でNチャンネルとPチャンネルのMOSトランジスタを用いてコンプリメタリ構成とすることにより、フリッカの発生を防止して画質の劣化を防ぐと共に電源

ライン、接地ラインを省略できるようにしたものである。

(従来の技術)

水平及び垂直ライン方向にマトリクス状に配された液晶素子に映像信号を順次選択的に供給して表示するようにした液晶表示装置として従来例えば第3図に示すようなものが提案されている。

第3図において、(1)はテレビの映像信号が供給される入力端子であって、この入力端子(1)からの信号がそれぞれ例えばNチャンネルFETからなるスイッチング素子M₁₁、M₂₁…M_{m1}、M₁₂、M₂₂…M_{m2}、…M_{1m}、M_{2m}…M_{mm}の一端が接続される。なおmは水平走査線数に相当する数である。このスイッチング素子M₁₁～M_{mm}の他端が夫々液晶素子C₁₁、C₂₁…C_{mm}を通じてターゲット端子(3)に接続される。

M₁₁～M_{mm}の各制御端子に供給される。

また各ラインL₁～L_mにそれぞれ例えばNチャンネルFETからなるスイッチング素子M₁₁、M₂₁…M_{m1}、M₁₂、M₂₂…M_{m2}、…M_{1m}、M_{2m}…M_{mm}の一端が接続される。なおmは水平走査線数に相当する数である。このスイッチング素子M₁₁～M_{mm}の他端が夫々液晶素子C₁₁、C₂₁…C_{mm}を通じてターゲット端子(3)に接続される。

さらにn段のシフトレジスタ(4)が設けられ、このシフトレジスタ(4)に水平周波数のクロック信号Φ_{1V}、Φ_{2V}が供給され、このシフトレジスタ(4)の各出力端子からのクロック信号Φ_{1V}、Φ_{2V}によって順次走査される水平(X軸)方向のラインL₁、L₂…L_m上の駆動パルス信号Φ_{1H}、Φ_{2H}…Φ_{nH}が、スイッチング素子M₁₁～M_{mm}のX軸方向の各列(M₁₁～M_{1m})、(M₂₁～M_{2m})…(M₁₁～M_{mm})ごとの制御端子にそれぞれ供給される。

そしてΦ_{1H}、Φ_{2H}…Φ_{nH}が出力されているときは、スイッチング素子M₁₁とM₁₂～M_{1m}がオンされ、入

力端子(1)→M₁₁→L₁→M₁₁→C₁₁→ターゲット端子(3)の電流路が形成されて液晶素子C₁₁に入力端子(1)に供給された信号とターゲット端子(3)との電位差が供給される。このためこの液晶素子C₁₁の容量分に、1番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことが液晶素子C₁₂～C_{mm}について順次行われ、さらに次のフィールドの信号が供給された時点で各液晶素子C₁₁～C_{mm}の電荷量が書き換える。

このようにして、映像信号の各画素に対応して液晶素子C₁₁～C_{mm}の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

また、液晶素子で表示を行う場合には、一般に液晶素子が並列を成す容量とリーキ抵抗の等価回路で表わされるが、その容量は純粋な容量でなく化学物質で構成されているため直流を印加すると劣化しやすく、従ってその信頼性、寿命を良くするため交流駆動が用いられる。例えばテレビ画像

の表示においては、1フィールドまたは1フレームごとに映像信号を反転させた信号を入力端子(1)に供給する。すなわち入力端子(1)には例えば第4図Aに示すよう1フレームごとに反転された映像信号が供給される。

(発明が解決しようとする課題)

ところで、液晶素子は上述の如く容量とリーキ抵抗の等価回路で表わされるが、このリーキ抵抗のために第3図の如き回路構成を成す従来装置の場合、リーキ電流が生じてフリッカが発生する原因となる。すなわち本来リーキ電流がなければ任意の画素の液晶素子に印加される電圧V_Pは第4図Bに実線で示すようになり、この電圧V_Pの過渡点を見ると液晶素子の表示状態は明るい-明るい-明るい…と変化するのでインタレース駆動でも電圧V_Pの劣化がなくフリッカは見えないが、実際には液晶素子にはリーキ電流が存在するためフレーム期間で電圧V_Pは破線で示すように劣化し、このときの電圧V_Pの過渡点を見ると液晶素

子の表示状態は「暗い-暗い-明るい…」の繰り返えしとなり、これを目で見たときはフリッカとして観測され、画質を著しく劣化させることになる。

そこで、このフリッカを防止するために第3回路にソースフォロワ回路を併用することも考えられるが、普通にソースフォロワ回路を併用すると、つまり、例えばNチャンネルのスイッチング素子に対してNチャンネルのMOSトランジスタのソースフォロワ回路を接続すると、 V_{DD} (高電位)の電源ラインと V_{SS} (低電位)の接地ラインが必要となり、回路構成が複雑となる欠点がある。

この発明は斯る点に鑑みてなされたもので、フリッカの発生を防止して画質の劣化を防ぐと共に電源ライン、接地ラインを省略することができる液晶表示装置を提供するものである。

〔課題を解決するための手段〕

この発明による液晶表示装置は、水平及び垂直方向にマトリクス状に配された液晶素子に映像信

号を順次選択的に供給し表示するようにした液晶表示装置において、任意の水平走査線選択制御ライン(L_1' , L_2' ...)の制御信号によって制御されるスイッチング素子がNチャンネルMOSトランジスタ(M_{11N} , M_{12N} , M_{13N} ..., M_{11N} , M_{22N} , M_{33N} ...)で構成され、このNチャンネルMOSトランジスタの出力信号をPチャンネルMOSトランジスタ(M_{11P} , M_{12P} , M_{13P} ..., M_{21P} , M_{22P} , M_{33P} ...)のソースフォロワ回路を介して液晶素子(C_{11} , C_{12} , C_{13} ..., C_{21} , C_{22} , C_{33} ...)に供給するようになし、このソースフォロワ回路を対応する水平走査線選択制御ライン(L_1' , L_2' ...)及び隣接する水平走査線選択制御ライン(L_0' , L_2' ...)間に接続し、後続の水平走査線選択制御ライン(L_2' ...)の制御信号によって制御されるスイッチング素子がPチャンネルMOSトランジスタ(M_{21P} , M_{22P} , M_{23P} ...)で構成され、このPチャンネルMOSトランジスタの出力信号をNチャンネルMOSトランジスタ(M_{21N} , M_{22N} , M_{23N} ...)

のソースフォロワ回路を介して液晶素子(C_{21} , C_{22} , C_{33} ...)に供給するようになし、このソースフォロワ回路を対応する水平走査線選択制御ライン(L_2' ...)及び隣接する水平走査線選択制御ライン(L_1' ...)間に接続するよう構成している。

〔作用〕

全水平走査線(1垂直期間(1V)相当)のうちの任意の1本の水平走査線が選択される選択モードでは水平走査線選択制御ライン(L_1' , L_2' ...)の制御信号が1水平期間(1H)だけハイレベルとなり、スイッチング素子としてのNチャンネルMOSトランジスタ(M_{11N} , M_{12N} , M_{13N} ..., M_{31N} , M_{32N} , M_{33N} ...)がオンし、印加された映像信号が対応するソースフォロワ回路を構成するPチャンネルMOSトランジスタ(M_{11P} , M_{12P} , M_{13P} ..., M_{31P} , M_{32P} , M_{33P} ...)のゲート近くの容量に実質的に電荷として充電される。そして、残りの水平走査線が順次選択されている残余の期間に相当する保持モードでは制御ライン(L_1' , L_2' ...)の制御信号がローレベル、制御ライン(L_2' ...)の制御信号がハイレベルになるので夫々スイッチング素子としてのNチャンネルMOSトランジスタ(M_{11N} , M_{12N} , M_{13N} ..., M_{31N} , M_{32N} , M_{33N} ...)及びPチャンネルMOSトランジスタ(M_{21P} , M_{22P} , M_{23P} ...)がオフし、しかも夫々ソースフォロワ回路を構成するPチャンネルMOSトランジスタ(M_{11P} , M_{12P} , M_{13P} ..., M_{31P} , M_{32P} , M_{33P} ...)及びNチャンネルMOSトランジスタ(M_{21N} , M_{22N} , M_{23N} ...)の入力インピーダンスは非常に大き

いのでゲート近くの位置の放電路が実質的に遮断され、従ってこの保持モードの間PチャンネルMOSトランジスタ(M_{11P} , M_{12P} , M_{13P} …, M_{21P} , M_{22P} , M_{23P} …)及びNチャンネルMOSトランジスタ(M_{21N} , M_{22N} , M_{23N} …)の各ゲート側には印加された映像信号に等価な電荷がリークすることなく実質的にそのまま保持され、この信号電荷が次のフレームの走査時まで液晶素子を励起し続けることになり、これによりフレッカが発生することなく画質が劣化することはない。また、隣接する制御ライン間でスイッチング素子をコンプリメタリ構成としている、つまり例えば制御ライン L_1' のスイッチング素子をNチャンネルMOSトランジスタ(M_{11N} , M_{12N} , M_{13N} …),隣接の制御ライン L_2' のスイッチング素子をPチャンネルMOSトランジスタ(M_{21P} , M_{22P} , M_{23P} …)の如くしているので、制御ライン L_1' を制御ライン L_2' のソースフォロワ回路の V_{ss} の接地ラインに、また制御ライン L_2' を制御ライン L_1' のソースフォロワ回路の V_{dd} の電

源ラインとすることができる、これにより接地ライン、電源ラインを実質的に制御ラインで兼用することができ、専用の電源ライン、接地ラインを設ける必要がなくなる。

(実施例)

以下、この発明の一実施例を第1図及び第2図に基いて詳しく説明する。

第1図は本実施例の回路構成を示すもので、同図において、第3図と対応する部分には同一符号を付し、その詳細説明は省略する。

本実施例では水平走査線選択制御ライン L_1' にスイッチング素子としてのNチャンネルMOSトランジスタ M_{11N} , M_{12N} , M_{13N} …の各ゲートを接続し、各MOSトランジスタ M_{11N} , M_{12N} , M_{13N} …の各ドレインを夫々ライン L_1 , L_2 , L_3 …に接続し、その各ソースを夫々ソースフォロワ回路を構成するPチャンネルMOSトランジスタ M_{21P} , M_{22P} , M_{23P} …の各ゲートに接続する。MOSトランジスタ M_{11P} , M_{12P} , M_{13P}

…の各ソースは制御ライン L_1' に接続し、各ドレインは夫々液晶素子 C_{11} , C_{12} , C_{13} …を介してターゲット端子(3) (第3図)に接続すると共に夫々高抵抗の負荷抵抗 R_{11} , R_{12} , R_{13} …を介して制御ライン L_1' に接続する。この制御ライン L_1' には第2図Aに示すような常にハイレベルの駆動パルス信号 $\phi v_1'$ が供給される。

また、水平走査線選択制御ライン L_2' にスイッチング素子としてのPチャンネルMOSトランジスタ M_{21P} , M_{22P} , M_{23P} …の各ゲートを接続し、各MOSトランジスタ M_{21P} , M_{22P} , M_{23P} …の各ドレインを夫々ライン L_1 , L_2 , L_3 …に接続し、その各ソースを夫々ソースフォロワ回路を構成するNチャンネルMOSトランジスタ M_{11N} , M_{12N} , M_{13N} …の各ゲートに接続する。MOSトランジスタ M_{11N} , M_{12N} , M_{13N} …の各ドレインは制御ライン L_2' に接続し、各ソースは夫々液晶素子 C_{21} , C_{22} , C_{23} …を介してターゲット端子(3) (第3図)に接続すると共に夫々高抵抗の負荷抵抗 R_{21} , R_{22} , R_{23} …を介して制御ライン L_2' に接続する。この制御ライン L_2' には第2図Cに示すように1Vに1回1Hだけロー

レベルとなる駆動パルス信号 $\phi v_2'$ が供給される。

また、水平走査線選択制御ライン L_3' にスイッチング素子としてのNチャンネルMOSトランジスタ M_{31N} , M_{32N} , M_{33N} …の各ゲートを接続し、各MOSトランジスタ M_{31N} , M_{32N} , M_{33N} …の各ドレインを夫々ライン L_1 , L_2 , L_3 …に接続し、その各ソースを夫々ソースフォロワ回路を構成するPチャンネルMOSトランジスタ M_{21P} , M_{22P} , M_{23P} …の各ゲートに接続する。MOSトランジスタ M_{21P} , M_{22P} , M_{23P} …の各ソースは制御ライン L_3' に接続し、各ドレインは夫々液晶素子 C_{31} , C_{32} , C_{33} …を介してターゲット端子(3) (第3図)に接続すると共に夫々高抵抗の負荷抵抗 R_{31} , R_{32} , R_{33} …を介して制御ライン L_3' に接続する。この制御ライン L_3' には第2図Cに示すように1Vに1回1Hだけロー

る。また、制御ライン L_1' には第2図Dに示すように1Vに1回1Hだけハイレベルとなる駆動パルス信号 v_{11}' が供給される。なお、高抵抗の負荷抵抗 R_{11} 等は低濃度のポリシリコンで容易に実現できる。

次に第2図のタイミングチャートを参照し乍ら第1図の回路動作を説明する。

いま、シフトレジスタ④より制御ライン L_1' に第2図Bに示すように1Vに1回1Hだけハイレベルとなる駆動パルス信号 v_{11}' が出力される選択モードではスイッチング素子としてのMOSトランジスタ M_{11N} , M_{12N} , M_{13N} ……がオンとなり、シフトレジスタ②よりライン L_1 , L_2 , L_3 ……に駆動パルス信号 ϕ_{H1} , ϕ_{H2} , ϕ_{H3} ……が順次供給されるとスイッチング素子 M_1 , M_2 , M_3 ……が順次オンして入力端子①からの映像信号がソースフォロワ回路を構成するMOSトランジスタ M_{11P} , M_{12P} , M_{13P} ……の各ゲートに供給され、その近くの容量を充電する。

そして、駆動パルス信号 v_{11}' がローレベルと

なる保持モードではMOSトランジスタ M_{11N} , M_{12N} , M_{13N} ……がオフし、しかもソースフォロワ回路を構成するPチャンネルMOSトランジスタ M_{11P} , M_{12P} , M_{13P} ……の入力インピーダンスは非常に大きいのでゲート近くの容量の放電路が実質的に遮断され、従ってこの保持モードの間PチャンネルMOSトランジスタ M_{11P} , M_{12P} , M_{13P} ……の各ゲート側には印加された映像信号に等価な電荷が実質的に保持され、液晶素子 C_{11} , C_{12} , C_{13} ……のリーク抵抗を介してリークすることはない。

このMOSトランジスタ M_{11P} , M_{12P} , M_{13P} ……のゲート側に保持された電荷に対応する電圧はそのままドレイン側に現われるので、液晶素子 C_{11} , C_{12} , C_{13} ……には何等減衰のない第4図Bに実線で示すような電圧 V_P が印加され、これにより次のフレームの走査時まで励起し続けられることになる。

なお、この場合制御ライン L_0' は制御ライン L_1' のソースフォロワ回路の電源ラインとして働

く。

また、シフトレジスタ④より制御ライン L_1' に第2図Cに示すように1Vに1回1Hだけハイレベルとなる駆動パルス信号 v_{12}' が出力される選択モードではスイッチング素子としてのMOSトランジスタ M_{21P} , M_{22P} , M_{23P} ……がオンとなり、シフトレジスタ②よりライン L_1 , L_2 , L_3 ……に駆動パルス信号 ϕ_{H1} , ϕ_{H2} , ϕ_{H3} ……が順次供給されるとスイッチング素子 M_1 , M_2 , M_3 ……が順次オンして入力端子①からの映像信号がソースフォロワ回路を構成するMOSトランジスタ M_{21N} , M_{22N} , M_{23N} ……の各ゲートに供給され、その近くの容量を充電する。

そして、駆動パルス信号 v_{12}' がハイレベルとなる保持モードではMOSトランジスタ M_{21P} , M_{22P} , M_{23P} ……がオフし、しかもソースフォロワ回路を構成するNチャンネルMOSトランジスタ M_{21N} , M_{22N} , M_{23N} ……の入力インピーダンスは非常に大きいのでゲート近くの容量の放電路が実質的に遮断され、従ってこの保持モードの

間NチャンネルMOSトランジスタ M_{21N} , M_{22N} , M_{23N} ……の各ゲート側には印加された映像信号に等価な電荷が実質的に保持され、液晶素子 C_{21} , C_{22} , C_{23} ……のリーク抵抗を介してリークすることはない。

このMOSトランジスタ M_{21N} , M_{22N} , M_{23N} ……のゲート側に保持された電荷に対応する電圧はそのままドレイン側に現われるので、液晶素子 C_{21} , C_{22} , C_{23} ……には何等減衰のない第4図Bに実線で示すような電圧 V_P が印加され、これにより次のフレームの走査時まで励起し続けられることになる。

なお、この場合制御ライン L_0' は制御ライン L_1' のソースフォロワ回路の電源ラインとして働く。

また、シフトレジスタ④より制御ライン L_1' に第2図Dに示すように1Vに1回1Hだけハイレベルとなる駆動パルス信号 v_{13}' が出力される選択モード及びこの駆動パルス信号 v_{13}' がローレベルとなる保持モードでは上述した駆動パルス信号

$\phi_{V1'}$ の場合と同様の動作が行われ、この場合も液晶素子 $C_{31}, C_{32}, C_{33} \dots$ には何等減衰のない第 4 図 B に実線で示すような電圧 V_P が印加され、これにより次のフレームの走査時まで励起し抜けられることになる。

なお、この場合制御ラインし₁は制御ラインし₂のソースフォロワ回路の電源ラインとして働く。

このように本実施例では液晶素子のリーク電流が実質的に存在せず、保持モードの間何等減衰のない電圧 V_p を各液晶素子に印加できるので、液晶素子の輝度がフレーム期間又はフィールド期間で変化せず、もってフリッカの発生が防止され、画質が劣化することはない。

(発明の効果)

上述の如くこの発明によれば、液晶素子にソースフォロワ回路を接続し、このソースフォロワ回路の電源ライン、接地ラインを1ライン前の水平走査線選択制御ラインが使えるように隣接する水

平走査選択制御ライン間でNチャンネルとPチャンネルのMOSトランジスタを用いてコンプリメタリ構成したので、フリッカの発生を防止して画質の劣化を防ぐと共に電源ライン、接地ラインを省略でき、特に液晶素子のリーク抵抗が小さい場合でも使用でき、例えばプロジェクタ等に用いて有用である。

図面の簡単な説明

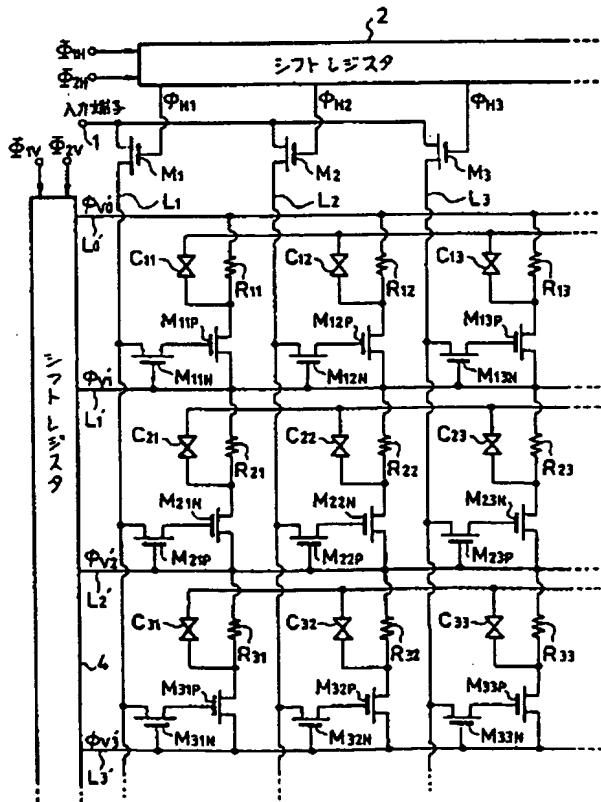
第1図はこの発明の一実施例を示す回路構成図、第2図は第1図の動作説明に供するためのタイミングチャート、第3図は従来装置の一例を示す回路構成図、第4図は動作説明に供するための図である。

(2), (4)はシフトレジスタ、 $C_{11} \sim C_{13} \dots$ 、 $C_{21} \sim C_{23} \dots$ 、 $C_{31} \sim C_{33} \dots$ は液晶素子、 $M_{11N} \sim M_{13N} \dots$ 、 $M_{21P} \sim M_{23P} \dots$ 、 $M_{31N} \sim M_{33N} \dots$ はスイッチング素子としてのMOSトランジスタ、 $M_{11P} \sim M_{13P} \dots$ 、 $M_{21N} \sim M_{23N} \dots$ 、 $M_{31P} \sim M_{33P} \dots$ はソースフォロワ回路を構成するMOSトランジスタ、 $L_0' \sim L_3' \dots$ は

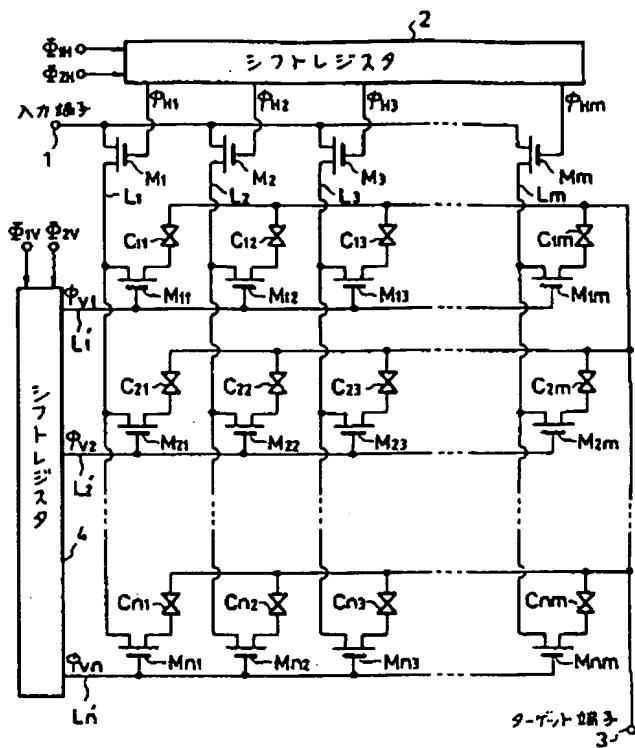
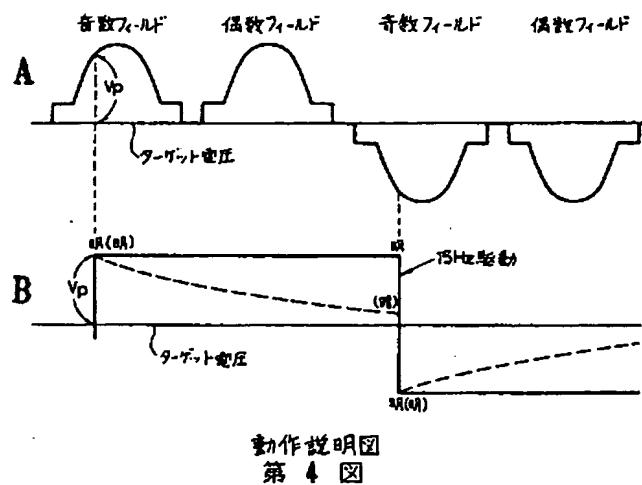
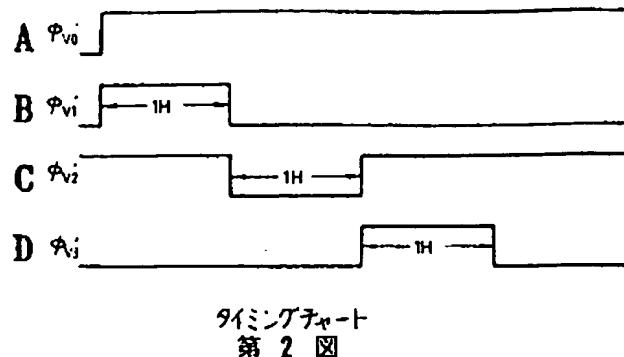
水平走査線選択制御ラインである。

代 理 人 伊 蘭 貞

同 松 限 秀 盛



実施例図成図第1図

従来例の構成図
第3図

正 題

昭和63年 6月24日

特許庁長官 古田文設

1. 事件の表示

昭和63年 特許第122883号

2. 発明の名称

液晶表示装置

3. 税正をする者

事件との関係 特許出願人

住所 東京都品川区北品川6丁目7番35号

名称(218)ソニー株式会社

代表取締役 大賀典雄

4. 代理人

住所 東京都新宿区西新宿1丁目8番1号 (新宿ビル)
TEL 03-343-582100

氏名(3388)弁理士伊藤貞

5. 税正命令の日付 昭和 年 月 日

6. 税正により増加する発明の数

7. 税正の対象 明細書の発明の詳細な説明の欄

8. 税正の内容

(1) 明細書中第19頁14行及び15行間に下記を加入する。

「なお上述の実施例において、高抵抗の負荷抵抗の代りにソースフォロワ回路を構成するMOSトランジスタと同極性のMOSトランジスタを使用し、つまりPチャンネルMOSトランジスタM_{11P}、M_{12P}、M_{13P}……等に対してもPチャンネルMOSトランジスタを、NチャンネルMOSトランジスタM_{21N}、M_{22N}、M_{23N}……等に対してもNチャンネルMOSトランジスタを使用し、そのゲートを下側の水平走査線制御ラインに接続し、そのドレイン、ソースを夫々上側の水平走査線制御ラインとソースフォロワ回路を構成するMOSトランジスタのドレインに接続するようにもよい。」

斯る構成とすることにより、高抵抗の負荷に對してMOSトランジスタによる負荷としたので作りやすく、CMOSプロセスを変更せずに実施可能であり、また場所をとらないのでチップ面積を小さくできる。」

以上